

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-167520

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

G06F 12/08

G06F 9/38

(21)Application number : 09-334061

(71)Applicant : NEC CORP

(22)Date of filing : 04.12.1997

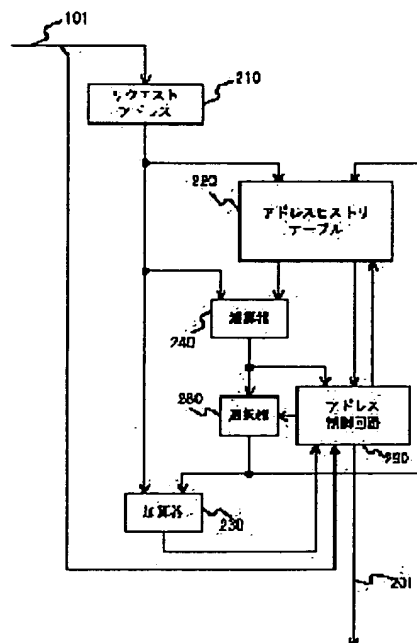
(72)Inventor : SHINOZAKI KOJI

(54) PREFETCH CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the system performance by estimating the accesses of a processor which successively performs the accesses with a fixed address difference and prefetching previously a cache memory.

SOLUTION: An address history table 220 contains the sets of differences between the history addresses which are accessed in the past and the unaccessed history addresses. A subtractor 240 subtracts an address contained in the table 220 from the address held by a request address register 210 to produce an address difference. Under such conditions, a selector 280 selects the address difference sent from the subtractor 240 by an instruction given from an address control circuit 290. Then an adder 230 adds together the address which is held by the register 210 and the address which is selected by the selector 280 to generate an address that serves as a prefetch address.



LEGAL STATUS

[Date of request for examination] 04.12.1997

[Date of sending the examiner's decision of rejection] 06.06.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3175675

[Date of registration] 06.04.2001

[Number of appeal against examiner's decision of rejection] 2000-10326

[Date of requesting appeal against examiner's decision of rejection] 06.07.2000

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-167520

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.⁶

G 0 6 F 12/08
9/38

識別記号

3 1 0

F I

C 0 6 F 12/08
9/38

D

3 1 0 B

審査請求 有 請求項の数13 OL (全 9 頁)

(21) 出願番号 特願平9-334061

(22) 出願日 平成9年(1997)12月4日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 篠崎 孝司

東京都港区芝五丁目7番1号 日本電気株
式会社内

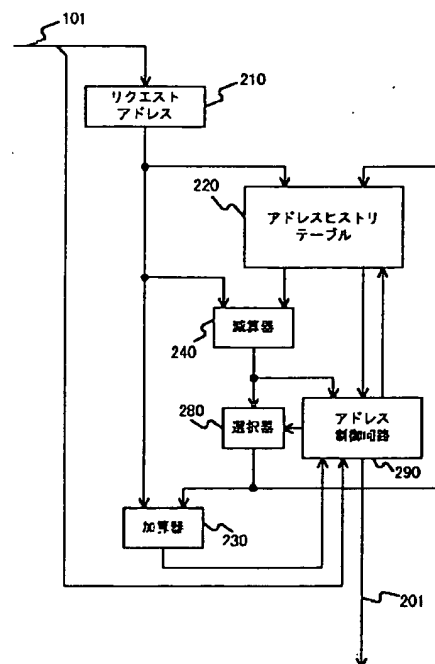
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 プリフェッチ制御装置

(57) 【要約】

【課題】 プロセッサが一定のアドレス差で順にアクセスする際、そのアクセスを予測し、事前にキャッシュメモリにプリフェッチする。

【解決手段】 プリフェッチ制御装置200は、アクセスリクエストに係るアドレスを保持するリクエストアドレスレジスタ210と、アクセスされたアドレスの履歴を保持するアドレスヒストリテーブル220と、プリフェッチアドレスを生成する加算器230と、アドレスヒストリテーブル220に保持されているアドレスとリクエストアドレスレジスタ210に保持されているアドレスとの間のアドレス差を生成する減算器240と、減算器240のいずれかの出力を選択する選択器280と、減算器240によるアドレス差に応じてアドレスヒストリテーブル220を更新するとともにキャッシュメモリ300に対してプリフェッチリクエストを発行するアドレス制御回路290とを含んでいる。



【特許請求の範囲】

【請求項1】 プロセッサからキャッシュメモリへのリクエストアドレスの履歴及びその過去のアドレスとの差分を保持し、現リクエストに係るアドレスと前記リクエストアドレスの履歴との差が前記アドレス差と等しい場合には、当該新たなリクエストに係るアドレスに前記アドレス差を加えたアドレスにより前記キャッシュメモリにプリフェッチを指示することを特徴とするプリフェッチ制御装置。

【請求項2】 プロセッサからキャッシュメモリへのリクエストアドレスの履歴及びその過去のアドレスとの差分を保持するアドレスヒストリテーブルと、このアドレスヒストリテーブルに保持された前記リクエストアドレスの履歴から現リクエストに係るアドレスを減じて出力する減算器と、この減算器の出力と前記現リクエストに係るアドレスとを加算して出力する加算器と、前記減算器の出力が前記ヒストリテーブルに保持された前記差分と等しい場合に前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行するアドレス制御回路とを含むことを特徴とするプリフェッチ制御装置。

【請求項3】 前記アドレス制御回路は、前記減算器の出力が前記ヒストリテーブルに保持された前記差分と等しいか否かを検出する一致比較器を含み、この一致比較器が等しい旨を検出した場合に前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行することを特徴とする請求項2記載のプリフェッチ制御装置。

【請求項4】 前記アドレス制御回路は、前記アドレスヒストリテーブルの前記差分として許容できる範囲値が設定されるアドレス範囲レジスタを含み、前記減算器の出力が前記アドレス範囲レジスタに設定された範囲値内であれば前記減算器の出力を前記ヒストリテーブルの前記差分に保持させることを特徴とする請求項2記載のプリフェッチ制御装置。

【請求項5】 前記アドレス制御回路は、前記減算器の出力が前記アドレス範囲レジスタに設定された範囲値内であるか否かを検出する範囲比較器を含み、この範囲比較器が範囲内であると検出した場合に前記減算器の出力を前記ヒストリテーブルの前記差分に保持させることを特徴とする請求項4記載のプリフェッチ制御装置。

【請求項6】 前記アドレス制御回路は、前記範囲比較器が範囲外であると検出した場合に前記現リクエストに係るアドレスを前記ヒストリテーブルの前記履歴に登録するとともに前記差分を前記アドレス範囲レジスタの範囲外の値に設定することを特徴とする請求項5記載のプリフェッチ制御装置。

【請求項7】 プロセッサからキャッシュメモリへのリクエストアドレスの履歴及びその過去のアドレスとの差

分からなる組を少なくとも2組保持するアドレスヒストリテーブルと、

このアドレスヒストリテーブルに保持された前記リクエストアドレスの履歴の各々から現リクエストに係るアドレスをそれぞれ減じて出力する複数の減算器と、これら複数の減算器の出力の何れかを選択して出力する選択器と、

この選択器によって選択された出力と前記現リクエストに係るアドレスとを加算して出力する加算器と、前記複数の減算器の出力であって前記ヒストリテーブルに保持された対応する前記差分と等しいものが存在する場合には当該減算器の出力を選択するよう前記選択器を制御するとともに前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行するアドレス制御回路とを含むことを特徴とするプリフェッチ制御装置。

【請求項8】 前記アドレス制御回路は、前記複数の減算器の各々の出力が前記ヒストリテーブルに保持された対応する前記差分と等しいか否かを検出する複数の一致比較器を含み、これら一致比較器の何れかが等しい旨を検出した場合に前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行することを特徴とする請求項7記載のプリフェッチ制御装置。

【請求項9】 前記アドレス制御回路は、前記アドレスヒストリテーブルの前記差分として許容できる範囲値が設定されるアドレス範囲レジスタを含み、前記複数の減算器の何れかの出力が前記アドレス範囲レジスタに設定された範囲値内であれば前記減算器の出力を前記ヒストリテーブルの対応する前記差分に保持させることを特徴とする請求項7記載のプリフェッチ制御装置。

【請求項10】 前記アドレス制御回路は、前記複数の減算器の各々の出力が前記アドレス範囲レジスタに設定された範囲値内であるか否かを検出する複数の範囲比較器を含み、これら範囲比較器のいずれかが範囲内であると検出した場合に前記減算器の出力を前記ヒストリテーブルの対応する前記差分に保持させることを特徴とする請求項9記載のプリフェッチ制御装置。

【請求項11】 前記アドレス制御回路は、前記範囲比較器が範囲外であると検出した場合に前記現リクエストに係るアドレスを前記ヒストリテーブルの何れかの前記履歴に登録するとともに対応する前記差分を前記アドレス範囲レジスタの範囲外の値に設定することを特徴とする請求項10記載のプリフェッチ制御装置。

【請求項12】 プロセッサと、主記憶と、前記プロセッサ及び前記主記憶の間に接続されるキャッシュメモリと、前記プロセッサから前記キャッシュメモリに対するリクエストアドレスに基づいて前記キャッシュメモリにプリフェッチリクエストを発行するプリフェッチ制御装置とを含む情報処理システムにおいて、

前記プリフェッチ制御装置は、

前記プロセッサから前記キャッシュメモリへのリクエストアドレスの履歴及びその過去のアドレスとの差分を保持するアドレスヒストリテーブルと、

このアドレスヒストリテーブルに保持された前記リクエストアドレスの履歴から現リクエストに係るアドレスを減じて出力する減算器と、

この減算器の出力と前記現リクエストに係るアドレスとを加算して出力する加算器と、

前記減算器の出力が前記ヒストリテーブルに保持された前記差分と等しい場合に前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行するアドレス制御回路とを含むことを特徴とする情報処理システム。

【請求項13】 前記キャッシュメモリは、待ちリクエストを保持するキューと、

このキューに所定数を越えるリクエストが保持されている場合には前記プリフェッチ制御装置からのプリフェッチリクエストをキャンセルするキャンセラーとを含むことを特徴とする請求項12記載の情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリフェッチ制御装置に関し、特にアドレスの規則性を検出してプリフェッチ動作を行うプリフェッチ制御装置に関する。

【0002】

【従来の技術】従来この種のキャッシュメモリ制御装置では、必要なデータがキャッシュメモリ内に存在しないという事象（以下、キャッシュミスという）が生じた際に、記憶装置からキャッシュメモリに対して必要なデータを転送するように制御していた。例えば、特開昭59-96585公報には、キャッシュミス時にキャッシュメモリと記憶装置の双方にデータ要求を出すキャッシュメモリ制御装置が記載されている。

【0003】また、ソフトウェアからキャッシュメモリを制御する方式としては、将来必要となるであろうデータをソフトウェア命令によって指定し、予め記憶装置からキャッシュメモリに対して必要なデータを転送するように制御していた。例えば、『1992年2月、アイトリブリー・コンパコン92論文集（C.Dowdell and L.Thayer: "Scalable Graphics Enhancements for PA-RISC Workstations", Proc.of IEEE COMPCON 92, pp.122-128, Feb. 1992.）』には、データキャッシュに32バイトのデータをブロック転送するよう指示するキャッシュプリフェッチ命令（fetch32）が記載されている。

【0004】

【発明が解決しようとする課題】しかしながら、前者の従来のキャッシュメモリ制御装置では、キャッシュミスを契機に記憶装置へのアクセスを開始するため、中央処理装置がデータを受け取るまでに時間を要し、そのデータを必要とする命令を続行することができないという問

題があった。また、近年の中央処理装置はパイプライン構成を採用することによりスループット性能向上を目指しているが、キャッシュミスのためにパイプライン全体を止めざるを得ない場合があり、このことが中央処理装置の実効性能向上にとって弊害となっていた。

【0005】また、後者の従来のキャッシュプリフェッチ命令による方法では、このプリフェッチ命令によってプログラム上で明示的にプリフェッチ操作を指示しなければならないため、プログラム量が増加して命令供給を阻害し、実効性能に悪影響を与える結果になる。さらに、記憶装置にアクセスするアドレスをプログラム実行前に完全に把握することは一般的には不可能なため、コンパイル時にプリフェッチ命令をプログラム上の適切な位置に生成することが困難であった。

【0006】本発明の目的は、プロセッサが一定のアドレス差で順にアクセスする際、そのアクセスを予測し、事前にキャッシュメモリにプリフェッチすることによりシステム性能を向上させるプリフェッチ制御装置を提供することにある。

【0007】

【課題を解決するための手段】上記課題を解決するために本発明のプリフェッチ制御装置は、プロセッサからキャッシュメモリへのリクエストアドレスの履歴及びその過去のアドレスとの差分を保持し、現リクエストに係るアドレスと前記リクエストアドレスの履歴との差が前記アドレス差と等しい場合には、当該新たなリクエストに係るアドレスに前記アドレス差を加えたアドレスにより前記キャッシュメモリにプリフェッチを指示する。

【0008】また、本発明の他のプリフェッチ制御装置は、プロセッサからキャッシュメモリへのリクエストアドレスの履歴及びその過去のアドレスとの差分を保持するアドレスヒストリテーブルと、このアドレスヒストリテーブルに保持された前記リクエストアドレスの履歴から現リクエストに係るアドレスを減じて出力する減算器と、この減算器の出力と前記現リクエストに係るアドレスとを加算して出力する加算器と、前記減算器の出力が前記ヒストリテーブルに保持された前記差分と等しい場合に前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行するアドレス制御回路とを含む。

【0009】また、本発明の他のプリフェッチ制御装置において、前記アドレス制御回路は、前記減算器の出力が前記ヒストリテーブルに保持された前記差分と等しいか否かを検出する一致比較器を含み、この一致比較器が等しい旨を検出した場合に前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行する。

【0010】また、本発明の他のプリフェッチ制御装置において、前記アドレス制御回路は、前記アドレスヒストリテーブルの前記差分として許容できる範囲値が設定

されるアドレス範囲レジスタを含み、前記減算器の出力が前記アドレス範囲レジスタに設定された範囲値内であれば前記減算器の出力を前記ヒストリテーブルの前記差分に保持させる。

【0011】また、本発明の他のプリフェッチ制御装置において、前記アドレス制御回路は、前記減算器の出力が前記アドレス範囲レジスタに設定された範囲値内であるか否を検出する範囲比較器を含み、この範囲比較器が範囲内であると検出した場合に前記減算器の出力を前記ヒストリテーブルの前記差分に保持させる。

【0012】また、本発明の他のプリフェッチ制御装置において、前記アドレス制御回路は、前記範囲比較器が範囲外であると検出した場合に前記現リクエストに係るアドレスを前記ヒストリテーブルの前記履歴に登録するとともに前記差分を前記アドレス範囲レジスタの範囲外の値に設定する。

【0013】また、本発明の他のプリフェッチ制御装置は、プロセッサからキャッシュメモリへのリクエストアドレスの履歴及びその過去のアドレスとの差分からなる組を少なくとも2組保持するアドレスヒストリテーブルと、このアドレスヒストリテーブルに保持された前記リクエストアドレスの履歴の各々から現リクエストに係るアドレスをそれぞれ減じて出力する複数の減算器と、これら複数の減算器の出力の何れかを選択して出力する選択器と、この選択器によって選択された出力と前記現リクエストに係るアドレスとを加算して出力する加算器と、前記複数の減算器の出力であって前記ヒストリテーブルに保持された対応する前記差分と等しいものが存在する場合には当該減算器の出力を選択するよう前記選択器を制御するとともに前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行するアドレス制御回路とを含む。

【0014】また、本発明の他のプリフェッチ制御装置において、前記アドレス制御回路は、前記複数の減算器の各々の出力が前記ヒストリテーブルに保持された対応する前記差分と等しいか否かを検出する複数の一致比較器を含み、これら一致比較器の何れかが等しい旨を検出した場合に前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行する。

【0015】また、本発明の他のプリフェッチ制御装置において、前記アドレス制御回路は、前記アドレスヒストリテーブルの前記差分として許容できる範囲値が設定されるアドレス範囲レジスタを含み、前記複数の減算器の何れかの出力が前記アドレス範囲レジスタに設定された範囲値内であれば前記減算器の出力を前記ヒストリテーブルの対応する前記差分に保持させる。

【0016】また、本発明の他のプリフェッチ制御装置において、前記アドレス制御回路は、前記複数の減算器の各々の出力が前記アドレス範囲レジスタに設定された範囲値内であるか否を検出する複数の範囲比較器を含

み、これら範囲比較器のいずれかが範囲内であると検出した場合に前記減算器の出力を前記ヒストリテーブルの対応する前記差分に保持させる。

【0017】また、本発明の他のプリフェッチ制御装置において、前記アドレス制御回路は、前記範囲比較器が範囲外であると検出した場合に前記現リクエストに係るアドレスを前記ヒストリテーブルの何れかの前記履歴に登録するとともに対応する前記差分を前記アドレス範囲レジスタの範囲外の値に設定する。

【0018】また、本発明の情報処理システムは、プロセッサと、主記憶と、前記プロセッサ及び前記主記憶の間に接続されるキャッシュメモリと、前記プロセッサから前記キャッシュメモリに対するリクエストアドレスに基づいて前記キャッシュメモリにプリフェッチリクエストを発行するプリフェッチ制御装置とを含み、前記プリフェッチ制御装置は、前記プロセッサから前記キャッシュメモリへのリクエストアドレスの履歴及びその過去のアドレスとの差分を保持するアドレスヒストリテーブルと、このアドレスヒストリテーブルに保持された前記リクエストアドレスの履歴から現リクエストに係るアドレスを減じて出力する減算器と、この減算器の出力と前記現リクエストに係るアドレスとを加算して出力する加算器と、前記減算器の出力が前記ヒストリテーブルに保持された前記差分と等しい場合に前記加算器の出力をプリフェッチアドレスとしてプリフェッチリクエストを発行するアドレス制御回路とを含む。

【0019】また、本発明の他の情報処理システムにおいて、前記キャッシュメモリは、待ちリクエストを保持するキューと、このキューに所定数を越えるリクエストが保持されている場合には前記プリフェッチ制御装置からのプリフェッチリクエストをキャンセルするキャンセルとを含む。

【0020】

【発明の実施の形態】次に本発明のプリフェッチ制御装置の実施の形態について図面を参照して詳細に説明する。

【0021】図1を参照すると、本発明のプリフェッチ制御装置の実施の形態は、プロセッサ100と、キャッシュメモリ300と、主記憶400とを含む情報処理システムに適用される。プリフェッチ制御装置200は、プロセッサ100とキャッシュメモリ300の間に接続される。キャッシュメモリ300と主記憶400はシステムバス500によって接続される。

【0022】プロセッサ100が信号線101によりアクセスリクエストを発行すると、キャッシュメモリ300は、当該リクエストに係るデータを有していれば（キャッシュヒット）、そのデータを信号線301によりプロセッサへ送る。もし、キャッシュメモリ300が当該リクエストに係るデータを有していなければ（キャッシュミス）、キャッシュメモリ300はシステムバス500

0を介して主記憶400にアクセスして、該当データを読み出す。読み出されたデータは、キャッシュメモリ300に保持されるとともに、信号線301によりプロセッサ100へ送られる。

【0023】プリフェッチ制御装置200は、プロセッサ100からのアクセスリクエスト101を監視し、一定のアドレス差で順にアクセスされるアクセスリクエストを検出すると、キャッシュメモリ300に対してプリフェッチリクエストを発行する。プリフェッチ制御装置200が信号線201によりプリフェッチリクエストを発行すると、キャッシュメモリ300は、キャッシュヒットであれば特段の動作をせず、キャッシュミスであればシステムバス500を介して主記憶400にアクセスして、該当データを読み出す。読み出されたデータは、キャッシュメモリ300に保持されるが、プロセッサ100へは送られない。

【0024】キャッシュメモリ300は、プリフェッチ制御装置200からのプリフェッチリクエストよりもプロセッサ100からのアクセスリクエストを優先して処理を行うようにする。

【0025】なお、プロセッサ100、キャッシュメモリ300、主記憶400については、特記しない限り通常の技術と同様のものを使用する。

【0026】図2を参照すると、プリフェッチ制御装置200は、アクセスリクエストに係るアドレスを保持するリクエストアドレスレジスタ210と、アクセスされたアドレスの履歴を保持するアドレスヒストリテーブル220と、プリフェッチアドレスを生成する加算器230と、アドレスヒストリテーブル220に保持されているアドレスとリクエストアドレスレジスタ210に保持されているアドレスとの間のアドレス差を生成する減算器240と、減算器240のいずれかの出力を選択する選択器280と、減算器240によるアドレス差に応じてアドレスヒストリテーブル220を更新するとともにキャッシュメモリ300に対してプリフェッチリクエストを発行するアドレス制御回路290とを含んでいる。

【0027】信号線101によるアクセスリクエストの内、アドレスの部分は以下の一連の処理が完了するまでリクエストアドレスレジスタ210に保持される。アドレスヒストリテーブル220は、過去にアクセスしたアドレスである「ヒストリアドレス」及びそのアドレスにアクセスする前のアドレスとの「差分」を組にして保持している。減算器240は、リクエストアドレス210に保持されたアドレスからアドレスヒストリテーブル220に保持されたアドレスを減算して「アドレス差」を生成する。選択器280は減算器240からのアドレス差をアドレス制御回路290の指示により選択する。加算器230はリクエストアドレスレジスタ210に保持されたアドレスと選択器280により選択されたアドレス差とを加算してプリフェッチアドレスをとなるべきア

ドレスを生成する。

【0028】図3を参照すると、プリフェッチ制御装置200のより詳細なブロック図において、ヒストリアドレス221及び差分222は、図2におけるアドレスヒストリテーブル220を構成する。また、アドレス範囲レジスタ260と、比較器291と、比較器292と、テーブル制御回路293とは、図2におけるアドレス制御回路290を構成する。図3の実施の形態では、ヒストリアドレスの数を4つを例としているが、本発明においてはヒストリアドレスの数は1つ以上の任意の数を選択することができる。

【0029】比較器291は、それぞれ対応する減算器240の出力と差分222を比較して、一致しているか否かを出力する。この比較器291は、一致比較器ともいう。アドレス範囲レジスタ260は、検出すべきアドレス差として許容できる範囲値が設定される。すなわち、差分222として登録される値として許容できる範囲の値が設定される。比較器292は、減算器240の出力がアドレス範囲260に設定された範囲内に含まれるか否かを出力する。この比較器292は、範囲比較器ともいう。テーブル制御回路293は、後述の動作により、選択器280に制御信号を与えとともに、アドレスヒストリテーブル220の更新を行う。また、テーブル制御回路293は、後述の基準により、加算器230からのアドレスについてプリフェッチリクエストを発行するか否かを制御する。

【0030】図4を参照すると、本発明の実施の形態では、以下のようにしてプリフェッチアドレスとなるべきアドレスを生成する。ヒストリアドレス221には予め前回アクセスしたアドレス（例えば、“\$5000”）が保持されているとすると、減算器240はリクエストアドレスレジスタ210に保持されたアドレス（例えば、“\$5100”）からヒストリアドレス221に保持されたアドレスを減じてアドレス差（ここでは、“\$0100”）を生成する。選択器280によってこのアドレス差が選択されたとすると、加算器230は、このアドレス差に対してリクエストアドレスレジスタ210に保持されたアドレスを加えることによりアドレス（ここでは、“\$5200”）を生成する。

【0031】次に本発明のプリフェッチ制御回路の実施の形態における動作について説明する。

【0032】図3及び図5を参照すると、まず、アドレス範囲レジスタ260には、検出すべきアドレス差として許容できる範囲値が設定される（ステップS901）。

【0033】リクエストアドレスレジスタ210に新たなアドレスが保持されると、減算器240の各々は、対応するヒストリ221に保持されたアドレスからリクエストアドレスレジスタ210に保持されたアドレスを減算する（ステップS902）。

【0034】減算器240の減算結果(アドレス差)について対応する差分222との一致が比較器291により検出される(ステップS903)。一致するものがあれば、その一致したアドレス差が選択器280により選択される。もし、複数の一致が検出された場合は、任意の1つが選択される。この選択されたアドレス差は加算器230に入力され、プリフェッチアドレスが生成される。テーブル制御回路293は、このプリフェッチアドレスにより信号線201を介してプリフェッチリクエストを発行する(ステップS904)。テーブル制御回路293は、プリフェッチリクエストを発行した後、アドレスヒストリテーブル220の内の選択器280により選択した組に対して、リクエストアドレス210に保持されているアドレスを保持させる(ステップS905)。

【0035】また、ステップS903において、一致するものを検出しなかった場合、減算器240によるアドレス差の各々がアドレス範囲レジスタ260に設定されたアドレス範囲に含まれているか否かが比較器292により判断される(ステップS906)。このステップS906においてアドレス範囲内に含まれていると判断された場合は、一定のアドレス差のアクセスが順に続かなかったことを意味するため、プリフェッチリクエストは発行しない。この場合、アドレス範囲内に含まれていると比較器292が検出した組のアドレス差を選択器280で選択し、その組のヒストリアドレス221をリクエストアドレスレジスタ210で更新するとともに、その組の差分222を選択器280で選択されたアドレス差で更新する(ステップS907)。

【0036】ステップS906においてアドレス範囲外であると判断された場合は、単発的なアクセスか、現在までの履歴にはない新たな領域へのアクセスであることを意味しているので、プリフェッチリクエストは発行しない。この場合、テーブル制御回路293はアドレスヒストリテーブル220の中のある組を使用してリクエストアドレスレジスタ210の値を新たに登録するとともに、対応する差分222をゼロクリアする(ステップS908)。ここで何れの組を使用するかは任意の組でもよく、また、最も古くから比較器291による一致が検出されていない組を使用するようにしてもよい。差分222をゼロクリアしたのは、次回ステップS906で範囲内とされないためであり、ゼロでなくともよく、アドレス範囲レジスタ260に設定された範囲外の値であればよい。

【0037】ステップS905、S907、または、S908の処理の後は再びステップS902の処理に戻り、次にリクエストアドレスレジスタ210にアドレスが保持されるとアドレス差の計算を行う。

【0038】次に、本発明の実施の形態による処理の具体例について説明する。

【0039】図6(a)を参照すると、初期状態として、ヒストリアドレス221に"5000"、差分222に"900"、アドレス範囲260に"20~500"が保持されているものとする。この状態で、リクエストアドレスレジスタ210に"3000"が保持されると、比較器291の出力は"不一致"、比較器292の出力は"範囲外"となる。従って、この場合、リクエストアドレス210のアドレスがヒストリアドレス221に登録されるとともに差分222がゼロクリアされる(図5のステップS908)。

【0040】図6(b)を参照すると、次にリクエストアドレスレジスタ210に"3100"が保持されると、比較器291の出力は"不一致"、比較器292の出力は"範囲内"となる。従って、この場合、リクエストアドレス210のアドレス"3100"によってヒストリアドレス221が更新されるとともに差分222にはアドレス差"100"が設定される(図5のステップS907)。

【0041】図6(c)を参照すると、次にリクエストアドレスレジスタ210に"3200"が保持されると、比較器291の出力は"一致"、比較器292の出力は"範囲内"となる。従って、この場合、加算器210の出力するアドレス"3300"によりプリフェッチリクエストが発行されるとともに、リクエストアドレス210のアドレス"3200"によってヒストリアドレス221が更新される(図5のステップS904及びS905)。これにより、以降はリクエストアドレスが定値"100"ずつ増加していく限り、それに先行してプリフェッチリクエストを発行することができる。

【0042】なお、上述の実施の形態ではキャッシュメモリ300はコピーバック方式をとるものとして説明したが、ライトスルーでも実施可能である。その場合は、プロセッサ100からのライトアクセスに対してはプリフェッチすることに意味が無いため、プリフェッチ制御装置200ではプロセッサ100からのリードアクセスのみをアクセスリクエストとして処理すればよい。

【0043】このように、上述の実施の形態では、ターゲットヒストリ221に保持されたアドレスとリクエストアドレスレジスタ210に保持されたアドレスとの差を計算して、そのアドレス差が差分222に一致する限りはプリフェッチリクエストを発行できる。また、差分222の値が消失されてしまった場合でも、連続するアドレスがアドレス範囲レジスタ260に設置された範囲内にあれば、差分222の値が設定し直されるため、以降のプリフェッチリクエストが可能となる。

【0044】次に、本発明の他の実施の形態について説明する。

【0045】本発明の他の実施の形態は、その基本的構成は上述の実施の形態と同様であるが、キャッシュメモリ300が改良されている。

【0046】図7を参照すると、他の実施の形態におけるキャッシュメモリ300は、キャッシュコア320へのアクセス待ちリクエストを管理する入力待ちキュー321と、キャッシュメモリコア320からバスアクセス制御回路330へのアクセス待ちリクエストを管理する出力待ちキュー331と、これら入力待ちキュー321及び出力待ちキュー331における待ち状態を信号線322及び332により監視してプリフェッチリクエストのキャンセル処理を行うキャンセラー310を含んでいる。ここで、キャッシュメモリコア320は、アドレスアレイやデータアレイ等、キャッシュメモリとして機能するための主要部分を指す。また、バスアクセス制御回路330は、キャッシュメモリコア320から出力されたデータをシステムバス500に送出するための制御を行う。

【0047】図8を参照すると、キャンセラー310は、入力待ちキュー321における待ちリクエスト数を保持する入力待ち数レジスタ312と、出力待ちキュー331における待ちリクエスト数を保持する出力待ち数レジスタ313と、入力待ちリクエスト数として許容できる上限値を保持する入力待ち数上限値レジスタ314と、出力待ちリクエスト数として許容できる上限値を保持する出力待ち数上限値レジスタ315とを含む。また、キャンセラー310は、入力待ち数レジスタ312の値が入力待ち数上限値レジスタ314の値よりも大きいことを検出する比較器316と、出力待ち数レジスタ313の値が出力待ち数上限値レジスタ315の値よりも大きいことを検出する比較器317と、比較器316及び317の何れかが検出信号を出力した場合にプリフェッチ停止制御信号を発生する論理和回路318と、プリフェッチ停止制御信号に従ってプリフェッチリクエスト201を通すか否かを制御するスイッチ319を含む。

【0048】入力待ち数上限値レジスタ314及び出力待ち数上限値レジスタ315には予め適切な上限値が設定されるものとする。入力待ちキュー321における待ちリクエスト数が入力待ち数上限値レジスタ314の値を越えるか、または出力待ちキュー331における待ちリクエスト数が出力待ち数上限値レジスタ315の値を越えると、論理和回路318の出力がアサートされ、スイッチ319を開放状態にする。これにより、プリフェッチリクエスト201はキャッシュメモリコア320に送られなくなる。

【0049】このように、上述の他の実施の形態では、キャッシュメモリ300やシステムバス500の負荷が高い場合にはプリフェッチリクエスト201がキャンセルされるため、使用される可能性の低いデータのプリフェッチを抑止し、全体としてのシステム性能を向上させることができる。

【0050】

【発明の効果】以上の説明で明らかなように、本発明によると、プロセッサのアクセスする一定アドレス間隔のアクセスに対して、次にアクセスされるアドレスを予測し、事前にメインメモリからキャッシュメモリにデータをプリフェッチしておくため、プロセッサの実質的なアクセス時間を短縮することができ、システム性能を向上させることができる。一方、一定のアドレス間隔でアクセスされない場合には不必要なプリフェッチを行わないため、小容量のキャッシュメモリを有効に活用することができ、システム性能を向上させることができる。

【図面の簡単な説明】

【図1】本発明のプリフェッチ制御装置の実施の形態が適用される情報処理システムの構成を示すブロック図である。

【図2】本発明のプリフェッチ制御装置の実施の形態の概略を示す図である。

【図3】本発明のプリフェッチ制御装置の実施の形態の構成を示すブロック図である。

【図4】本発明のプリフェッチ制御装置の実施の形態におけるアドレス予測の仕組みを説明するための図である。

【図5】本発明のプリフェッチ制御装置の実施の形態の動作を示すフローチャートである。

【図6】本発明のプリフェッチ制御装置の実施の形態の動作を説明するための具体例である。

【図7】本発明の実施の形態におけるキャッシュメモリの変形例を示すブロック図である。

【図8】本発明の実施の形態の変形例におけるキャンセラーの構成を示す図である。

【符号の説明】

- 100 プロセッサ
- 200 プリフェッチ制御装置
- 210 リクエストアドレスレジスタ
- 220 アドレスヒストリテーブル
- 221 ターゲットアドレス
- 222 差分
- 230 加算器
- 240 減算器
- 260 アドレス範囲レジスタ
- 280 選択器
- 290 アドレス制御回路
- 291 比較器（一致検出器）
- 292 比較器（範囲検出器）
- 293 テーブル制御回路
- 300 キャッシュメモリ
- 310 キャンセラー
- 312 入力待ち数レジスタ
- 313 出力待ち数レジスタ
- 314 入力待ち上限値
- 315 出力待ち上限値

316, 317 比較器

318 論理和回路

319 スイッチ

320 キャッシュメモリコア

321 入力待ちキュー

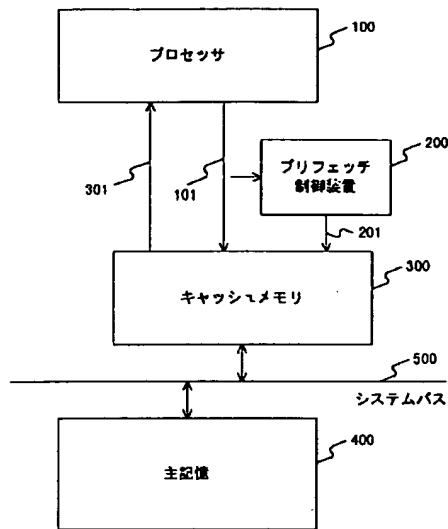
330 バスアクセス制御回路

331 出力待ちキュー

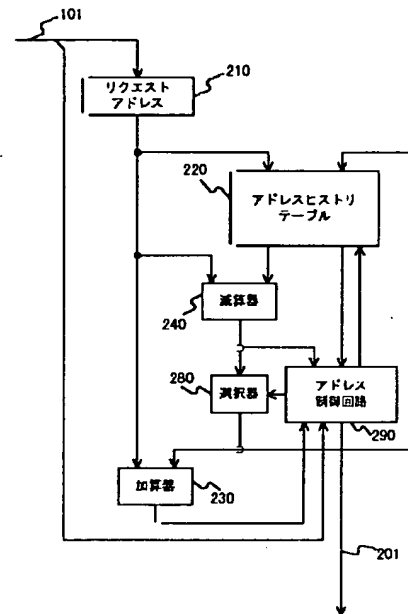
400 主記憶

500 システムバス

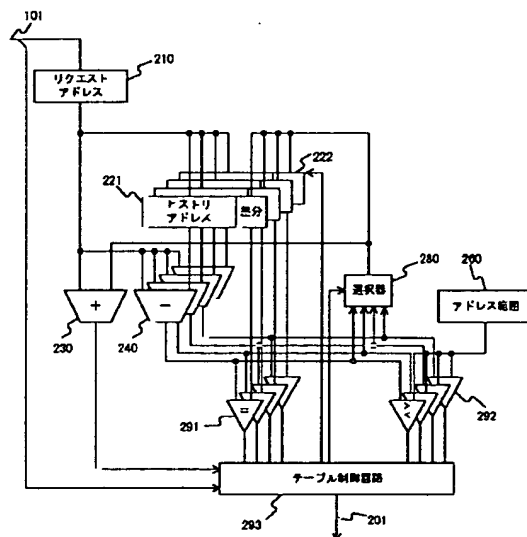
【図1】



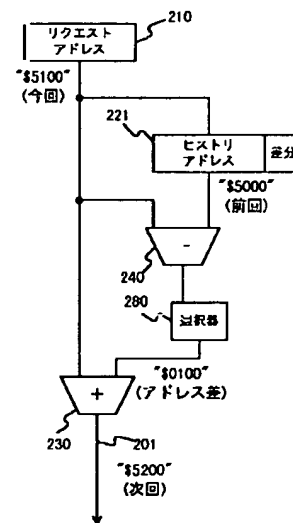
【図2】



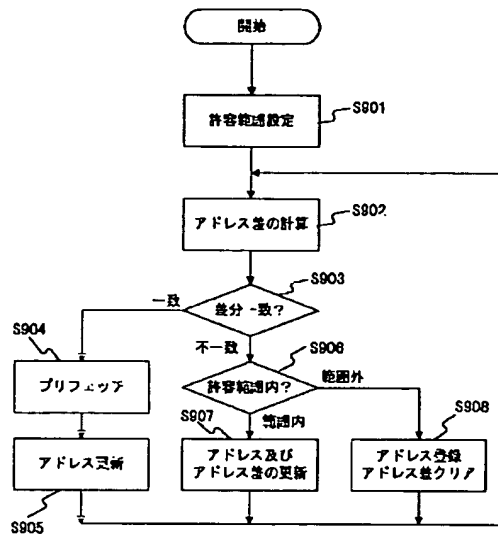
【図3】



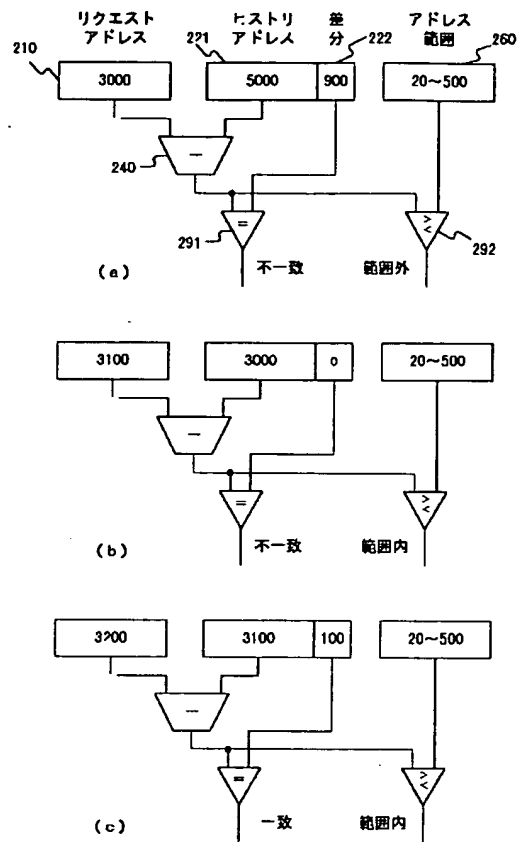
【図4】



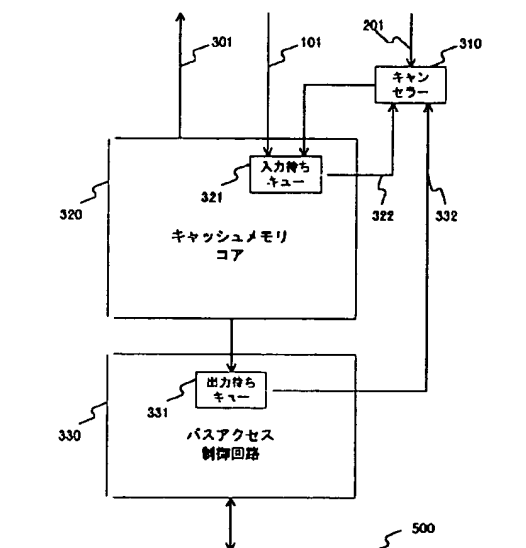
【図5】



【図6】



【図7】



【図8】

